

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05950411 \*\*Image available\*\*

THIN FILM TRANSISTOR DEVICE, ITS MANUFACTURE, AND LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 10-233511 [JP 10233511 A]

PUBLISHED: September 02, 1998 (19980902)

INVENTOR(s): SETO TOSHISUKE

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 09-037805 [JP 9737805]

FILED: February 21, 1997 (19970221)

INTL CLASS: [6] H01L-029/786; G02F-001/136; H01L-029/41; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

**ABSTRACT**

PROBLEM TO BE SOLVED: To easily obtain an LDD having a desired length by forming the cross section of the first layer on a channel area side of a gate wiring layer having a two-layer structure in a forwardly tapered shape and that of the second layer on a surface side in a reversely tapered shape.

SOLUTION: On a semiconductor layer 26, a TFT 17 forming a gate wiring layer having such a two-layer structure that the cross section of the first layer 28a composed of a first gate metal film is forwardly tapered at 30 deg. and the cross section of a second layer 28b composed of a second gate metal film is reversely tapered at 30 deg. and made of a molybdenum-tungsten alloy is provided. In addition, an auxiliary capacitive line 30 is formed flush with the wiring layer 28. Therefore, the number of manufacturing processes of a thin film transistor device can be reduced and a LDD having a desired length can be obtained easily without causing length dispersion, because ion doping can be performed simultaneously on an LDD area and a source-drain area in a self-aligning way through one time of doping process.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233511

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.\*

H01L 29/786  
G02F 1/136  
H01L 29/41  
21/336

識別記号

500

F I

H01L 29/78 617K  
G02F 1/136 500  
H01L 29/44 Z  
29/78 616A  
617V

審査請求 未請求 請求項の数7 OL (全6頁)

(21)出願番号

特願平9-37805

(22)出願日

平成9年(1997)2月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 濑戸 俊祐

埼玉県深谷市幡屋町一丁目9番2号 株式会社東芝深谷電子工場内

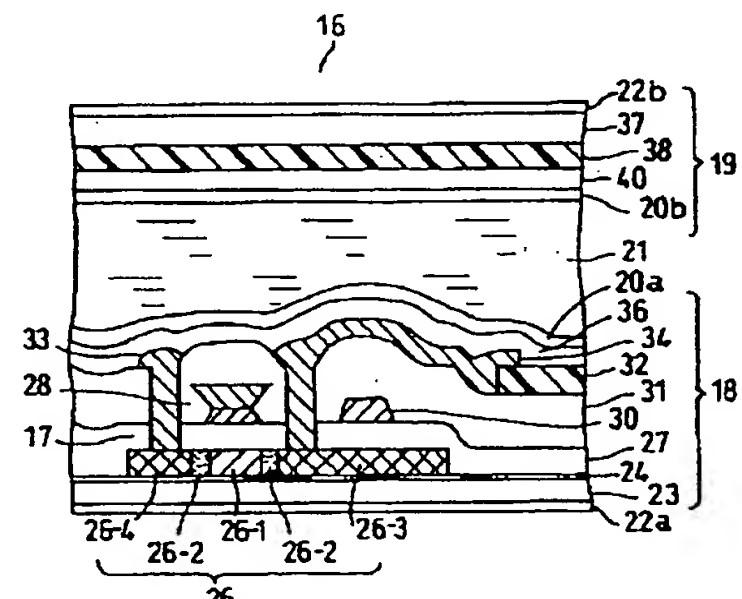
(74)代理人 弁理士 大胡 典夫 (外1名)

(54)【発明の名称】 薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置

(57)【要約】

【課題】 トップゲートn型TFTにおいて、所望長さのLDD領域を高精度にて容易に得ることにより、TFTの移動度の低下あるいはばらつき更には、しきい値のばらつきを防止し、高移動度且つ安定した特性を有するTFTを得、ひいては液晶表示装置の表示品位向上を図ると共に、大型の液晶表示装置への適用を図る。

【解決手段】 第1層28a及び第2層28bを夫々順テーパ状及び逆テーパ状に形成してなるゲート配線層28をマスクとして、半導体層26上に1回のイオン・ドーピング工程によりLDD領域26-2及びソース領域26-3、ドレイン領域26-4を自己整合的に形成し、所望長さのLDD領域を有するTFTを得る。



16: 底板 17: TFT 18: TFT基板  
21: 液晶素板物 26: 半導体層 26-1: チャネル領域  
26-2: LDD領域 26-3: ソース領域 26-4: ドレイン領域  
28: ゲート配線層 32: シア電極 33: ドレイン電極 34: ソース電極

## 【特許請求の範囲】

【請求項1】 絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなるチャネル領域と、低濃度不純物領域を介して前記チャネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域と、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テープ形状であり表面側の第2層の断面が逆テープ形状の2層構造を有するゲート配線層と、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを具備する事を特徴とする薄膜トランジスタ装置。

【請求項2】 ゲート配線層にモリブデン(Mo)の合金を用いる事を特徴とする請求項1に記載の薄膜トランジスタ装置。

【請求項3】 ゲート配線層の第1層のゲート絶縁膜との界面での配線幅を $a \mu m$ 、第1層及び第2層の界面での配線幅を $b \mu m$ 、第2層の上面での層間絶縁膜との界面での配線幅を $c \mu m$ とした場合、 $c > a > b$ である事を特徴とする請求項1あるいは請求項2のいずれかに記載の薄膜トランジスタ装置。

【請求項4】  $0.2 \mu m \leq (c - a) \leq 2 \mu m$ である事を特徴とする請求項3に記載の薄膜トランジスタ装置。

【請求項5】 絶縁性基板上にポリシリコン層及びゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート金属膜を成膜する工程と、前記第1のゲート金属膜上に第2のゲート金属膜を成膜する工程と、前記第1のゲート金属膜の断面を順テープ形状に加工すると共に前記第2のゲート金属膜の断面を逆テープ形状に加工し2層構造のゲート配線層を形成する工程と、前記ゲート配線層をマスクにして前記ポリシリコン層にイオンドーピングし低濃度不純物領域及びソース・ドレイン領域を同時に形成する工程と、を具備する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項6】 第1のゲート金属膜及び第2のゲート金属膜にモリブデン(Mo)の合金を用いる事を特徴とする請求項5に記載の薄膜トランジスタ装置の製造方法。

【請求項7】 第1の絶縁性基板と、この第1の絶縁性基板上にマトリクス状に配列される画素電極と、前記第1の絶縁性基板上に形成されるポリシリコンからなるチャネル領域及び、低濃度不純物領域を介して前記チャネル領域を挟み前記ポリシリコンを低抵抗化して成るソース・ドレイン領域並びに、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テープ形状であり表面側の第2層の断面が逆テープ形状の2層構造を有するゲート配線層更に、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有するアレイ基板と、

第2の絶縁基板と、この第2の絶縁基板上に形成される

対向電極とを有し、前記アレイ基板に対向して配置される対向基板と、

前記アレイ基板及び前記対向基板間に封入される液晶組成物とを具備する事を特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ゲート絶縁膜を介し半導体層上方にゲート配線層を有するトップゲート型の薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びにトップゲート型の薄膜トランジスタ装置を駆動素子とするアクティブマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】半導体材料としてポリシリコンを用いた薄膜トランジスタ装置(以下TFTと称する。)は、移動度が数 $10 \sim 100 \text{ cm}^2 / \text{Vs}$ と高い事から、アクティブマトリクス液晶表示装置の画素部の駆動素子や回路部駆動素子として用いられる。そして画素部の駆動素子として一般に用いられるトップゲート型のn型のポリシリコンTFTに在っては、TFTがオフ状態の時にリーク電流を生じてしまうため、ソース及びドレイン間にかかる電界を緩和する様、チャネル層と高濃度の不純物を有するドレイン領域との間に、微量に不純物を添加した低濃度不純物(以下LDDと称する。)領域を設けて、リーク電流の低減を図っている。

【0003】この様なLDD領域を有するTFTは、従来、図5に示すように製造されていた。即ち、

①図5(イ)に示す様にガラス基板1上に酸化シリコン(SiO<sub>2</sub>)からなるアンダーコート膜2を成膜した後、アモルファスシリコン膜を積層し、レーザアニールにより、アモルファスシリコン膜をポリシリコン膜に結晶化し、マトリクス状にパターニングしポリシリコン膜からなる半導体層3を形成する。

【0004】②図5(ロ)に示す様にゲート絶縁膜4、ゲート配線6を形成し、低ドーズにてリン(P<sup>+</sup>)イオンをドーピングし半導体層3にチャネル領域3-1、LDD領域3-2を形成する。

【0005】③図5(ハ)に示す様にレジストマスク7を形成し、高ドーズにてリン(P<sup>+</sup>)イオンをドーピングし、半導体層3にn<sup>+</sup>のソース・ドレイン領域3-3を形成する。

【0006】④図5(ニ)に示す様にマスク7を除去し、層間絶縁膜8を形成する。

【0007】⑤図5(ホ)に示す様にコンタクトホール10a、10bを形成し、ソース電極12、ドレン電極13を形成し、LDD領域を有するTFT14装置を完成していた。

## 【0008】

【発明が解決しようとする課題】しかしながら上記従来のTFTにあっては、レジストマスクを用いてLDD領

域を形成することから、レジストマスク形成時のパターンの合わせずれ、及びゲート配線のサイドエッチング量のばらつきにより、LDD領域の長さを1～5μmの範囲内でしか制御できず、1μm以下の範囲での微細な長さ制御が不可能であり、LDD領域の長さのばらつきが大きくなり、ひいてはTFTの特性にばらつきを生じる一方、LDD領域の長さが長くなるとTFTは直列に抵抗を有する状況となり、移動度の低下を招き、液晶表示装置にあっては画面が部分的にしか表示されず、表示品位が著しく低下されてしまい特に大型のアクティブマトリクス型液晶表示装置への適用が不能になる等の問題を生じていた。

【0009】そこで本発明は上記課題を除去するもので、LDD領域長の微細な制御が可能であり、安定した特性を有すると共に、移動度が高く大型アクティブマトリクス型液晶表示装置にあっても良好な表示を得られる薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】本発明は上記課題を解決するため、絶縁性基板と、この絶縁性基板上に形成されるボリシリコンからなるチャネル領域と、低濃度不純物領域を介して前記チャネル領域を挟み前記ボリシリコンを低抵抗化して成るソース・ドレイン領域と、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テーパ形状であり表面側の第2層の断面が逆テーパ形状の2層構造を有するゲート配線層と、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを設けるものである。

【0011】又本発明は上記課題を解決するため、絶縁性基板上にボリシリコン層及びゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のゲート金属膜を成膜する工程と、前記第1のゲート金属膜上に第2のゲート金属膜を成膜する工程と、前記第1のゲート金属膜の断面を順テーパ形状に加工すると共に前記第2のゲート金属膜の断面を逆テーパ形状に加工し2層構造のゲート配線層を形成する工程と、前記ゲート配線層をマスクにして前記ボリシリコン層にイオンドーピングし低濃度不純物領域及びソース・ドレイン領域を同時に形成する工程とを実施するものである。

【0012】又本発明は上記課題を解決するため、第1の絶縁性基板と、この第1の絶縁性基板上にマトリクス状に配列される画素電極と、前記第1の絶縁性基板上に形成されるボリシリコンからなるチャネル領域及び、低濃度不純物領域を介して前記チャネル領域を挟み前記ボリシリコンを低抵抗化して成るソース・ドレイン領域並びに、ゲート絶縁膜を介し前記チャネル領域上に形成され前記チャネル領域側の第1層の断面が順テーパ形状であり表面側の第2層の断面が逆テーパ形状の2層構造を

有するゲート配線層更に、層間絶縁膜を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有するアレイ基板と、第2の絶縁基板と、この第2の絶縁基板上に形成される対向電極とを有し、前記アレイ基板に対向して配置される対向基板と、前記アレイ基板及び前記対向基板間に封入される液晶組成物とを設けるものである。

【0013】上記構成により、所望の長さのLDDを容易に得る事ができ、薄膜トランジスタの移動度の低下を生じる事無くかつ特性の安定化を図り、表示品位の良好な液晶表示装置を得るものである。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態を図1乃至図3を参照して説明する。16は、アクティブマトリクス型の液晶表示装置であり、駆動素子としてボリシリコンの半導体層を有するトップゲート型のTFT17を用いるアレイ基板18及び対向基板19の間に、配向膜20a、20bを介して液晶組成物21を保持すると共に偏光板22a、22bを有している。

【0015】ここでアレイ基板18の第1の絶縁基板であるガラス基板23上の、酸化シリコン(SiO<sub>2</sub>)からなるアンダーコート層24上には、ボリシリコンからなるチャネル領域26-1、低ドーズのリン(P<sup>+</sup>)イオンがドーピングされるLDD領域26-2、高ドーズのリン(P<sup>+</sup>)イオンがドーピングされるソース領域26-3、ドレイン領域26-4を有するn型の半導体層26がパターン形成され、この半導体層26上にはゲート絶縁膜27を介し第1のゲート金属膜である第1層28aの断面が30度の順テーパ形状であり第2のゲート金属膜である第2層28bの断面が30度の逆テーパ形状の2層構造を有するモリブデンタングステン合金(以下MoWと略称する。)からなるゲート配線層28が形成されてなるTFT17が設けられ、又ゲート配線層28と同一面上には、補助容量線30が形成されている。

【0016】更に層間絶縁膜31を介し画素電極32が形成され、層間絶縁膜31上には信号線と一体のドレン電極33、ソース領域26-3及び画素電極32を接続するソース電極34が形成され、コンタクトホール33a、34aを介しそれぞれドレン領域26-4、ソース領域26-3に接続されている。又36は保護膜である。

【0017】一方対向基板19は、第2の絶縁基板であるガラス基板37の全面に対向電極38及び保護膜40を有し、アレイ基板18との間に液晶組成物21を封入し、液晶表示装置16を構成している。

【0018】次にアレイ基板18上のTFT17の製造工程について述べる。

【0019】①図3(イ)に示す様に先ずガラス基板2

3上に酸化シリコン膜 ( $\text{SiO}_2$ ) からなるアンダーコート層 24、アモルファスシリコン膜 41を順次積層し、レーザアニールによりアモルファスシリコン膜 41をポリシリコン膜に結晶化する。

【0020】②図3(口)に示す様に結晶化されたポリシリコン膜からなる半導体層 26をマトリクス状にパターニングする。

【0021】③図3(ハ)に示す様にゲート絶縁膜 27を100nm形成した後、スパッタリングによりMoWにてゲート配線層 28の第1層 28aを50nm形成し、一度大気にさらす。

【0022】④図3(ニ)に示す様にスパッタリングによりMoWにてゲート配線層 28の第2層 28bを350nm形成した後、等方性ドライエッチングにより、第1層 28aをゲート絶縁膜 27との界面での配線幅aが5μm、第2層 28bとの界面での配線幅bが4.8μmの順テープ状に加工し、第2層 28bを層間絶縁膜 31との界面での配線幅cが6.2μmの逆テープ状に加工してc>a>bとし、LDD領域 26-2に対応する領域においては第1層 28a及び第2層 28bによるゲート配線層 28の合計層厚が200nm以下となる様に加工されている。この後、ゲート配線層 28をマスクにして、半導体層 26のLDD領域 26-2、ソース領域 26-3及びドレイン領域 26-4に同時に、自己活性化条件を加速電圧 50KeV、キャリア濃度 5E16/cm<sup>2</sup>とし、リン(P+)イオン・ドーピングを自己整合的に行う。

【0023】⑤図3(ホ)に示す様に、層間絶縁膜 31を形成する。

【0024】⑥図3(ヘ)に示す様に、コンタクトホール 33a、34aを形成する。

【0025】⑦図3(ト)に示す様にソース電極 31、ドレイン電極 32を形成し、TFT16を完成する。

【0026】即ち、製造工程④において、リン(P+)イオンの場合、加速電圧 50KeVでドーピングを行うと、MoWのゲート配線層厚が200nm以下に加工される領域においては、イオンがゲート配線層 28を突き抜ける事から、半導体層 26のLDD領域 26-2にゲート配線層 28を突き抜けたリン(P+)イオンが打ち込まれ、1度のイオン・ドーピングにてLDD領域 26-2とソース領域 26-3及びドレイン領域 26-4とが自動的に形成される事となる。

【0027】この様な製造工程にて形成されたTFT17の移動度及びしきい値電圧の面内ばらつきを100点測定した所、従来の製造工程にて形成されたTFTの移動度が20~100cm<sup>2</sup>/Vs、しきい値電圧が1~6Vといずれもばらつきが大きかったのに比し、移動度は110~130cm<sup>2</sup>/Vsと高く且つばらつきも非常に小さく、しきい値電圧も2~4Vと非常にばらつきが小さく安定した特性を得られた。Bias Temper-

ature Stress(以下BTSと略称する。)試験では、TFT17のゲート-ソース間0Vバイアス、ドレイン-ソース間20Vバイアス、90℃、1000秒の条件で前後の移動度、しきい値電圧を比較した所、100個測定でいずれも移動度、しきい値電圧のシフトは見られ無かった。又、液晶表示装置16にあっては、画面上に非表示部分が現れる事が無く、良好な表示画像を得られた。

【0028】この様に構成すれば、ゲート配線層 28の第1層 28a及び第2層 28bの、所望のLDD領域に相当する部分を、夫々順テープ状及び逆テープ状に形成し、ドーピング時、テープ状部分にあっては、リン(P+)イオンのドーピング濃度を低下することにより、レジストマスクを用いる事無く、1回のドーピング工程にてLDD領域 26-2と、ソース領域 26-3及びドレイン領域 26-4とを同時に自己整合的にイオン・ドーピングでき、製造工程数を低減できる。これと共に、レジストマスクの合わせずれ及びゲート配線層のサイドエッティング量のばらつきにより従来生じていたLDD長のばらつきを生じることもなく、従来に比しLDD長をより微細に制御可能であり所望のLDD長を容易に得られ、TFT17は高移動度を得られると共に、移動度やしきい値電圧のばらつきを生じる事無く安定した特性を得られる。又この様に高移動度且つ特性の安定したなTFT17を用いた液晶表示装置16は画面に非表示部分を生じる事が無く良好な表示品位を得られ、大型のアクティブマトリクス型液晶表示装置への適用も可能となる。

【0029】更にゲート配線層 28を2層構造とし、第1層 28a及び28bを夫々にテープ形成する事により、LDD長の制御がより容易となる。

【0030】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であつて、例えば、テープの角度は限定されず、実験から、順テープ及び逆テープのいずれにおいても20度~50度の範囲で制御可能であるし、ゲート配線層の第1層のゲート絶縁膜との界面での配線幅aと、第2層の層間絶縁膜との界面での配線幅cとの差(c-a)も任意であるが、(c-a)が2μmより大きくなるとTFTの移動度が小さくなると共に加工性が悪くなる一方、ゲート-ソース間0Vバイアス、ドレイン-ソース間20Vバイアス、90℃、1000秒の条件でのBTS試験において、図4に示す様に、(c-a)が0.2μm以上であれば、しきい値電圧シフトを生じないことから、0.2μm≤(a-b)≤2μmである事がより好ましい。

【0031】尚、ゲート配線層の第1層及び第2層の層厚は、トータルとしてイオン・ドーピング時にチャネル領域へのイオンの侵入をブロックできる範囲である一方、工業的観点からは極力薄い方が望ましいが、TFTの特性に応じて設定される(c-a)の値に従って決定

され、例えば、ゲート配線層の電極材料としてMoWを用い、フッ素(F)系のガスを用いたドライエッチングにて形成する場合、テーパ角度を30度の条件でエッチングするとして、(c-a)の値を1.2μmとしようとするとき、第1層の層厚50nm、第2層の層厚350nmとすれば良い。一般的には第1層の層厚を薄くする一方、第1層及び第2層の層厚差が200nm以下ではLDD長が小さく成り過ぎる半面、層厚差が500nm以上では逆テーパ部を層間絶縁膜にて被覆するのが難しくなる事から、層厚差は、200~500nm程度とするのがより好ましい。

【0032】又、半導体層にイオン・ドーピングする際の自己活性化条件等も、LDD領域及びソース・ドレイン領域を同時に形成できるよう、ゲート配線層のテーパ部分をイオンが透過できる範囲であれば任意である。

### 【0033】

【発明の効果】以上説明したように本発明によれば、トップゲートn型のTFTにおいて、2層構造を有するゲート配線層の第1層を順テーパ形状とし、第2層を逆テーパ形状とすることにより、半導体層上に、レジストマスクを用いる事無く1回のドーピング工程にて、LDD領域及び、ソース・ドレイン領域を同時に自己整合的にイオン・ドーピングでき、製造工程数の低減を図ると共に、LDD長のばらつきを生じることもなく、従来に比しLDD長をより微細に制御可能であり所望のLDD長を容易に得られ、移動度の低下やばらつき、あるいはしきい値電圧のばらつきの無い、特性の安定したTFTを容易に得られる。更にこの様に高移動度且つ安定した特性を有するTFTを液晶表示装置の駆動素子として用いる事により、液晶表示装置にあっては良好な表示品位を得られ、大型のアクティブマトリクス型液晶表示装置への適用も可能となる。

### 【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置を示す概略

断面図である。

【図2】本発明の実施の形態のTFTを示す概略断面図である。

【図3】本発明の実施の形態のTFTの製造工程を示し、(イ)はそのアモルファスシリコン膜の結晶化時、(ロ)はポリシリコン膜のパターニング時、(ハ)は第1層形成時、(ニ)はテーパ形成後のゲート配線層を用いたイオン・ドーピング時、(ホ)は層間絶縁膜形成時、(ヘ)はコンタクトホール形成時、(ト)はソース電極、ドレイン電極形成時を示す概略説明図である。

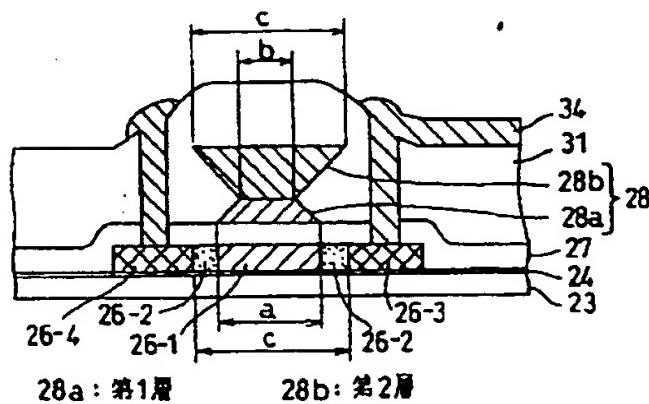
【図4】本発明によるTFTのゲート配線層の(c-a)の値に対するしきい値電圧シフト量を示すグラフである。

【図5】従来のTFTの製造工程を示し、(イ)はそのポリシリコン膜のパターニング時、(ロ)はLDD領域形成時、(ハ)はソース・ドレイン領域形成時を示す概略説明図である。

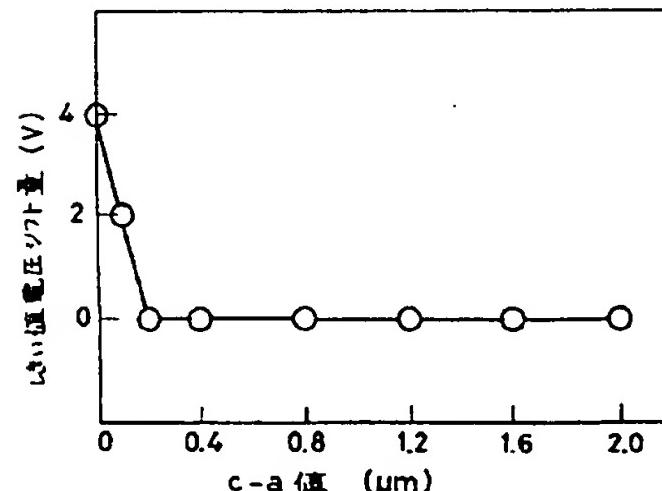
### 【符号の説明】

- 16…液晶表示装置
- 17…TFT
- 18…アレイ基板
- 19…対向基板
- 21…液晶組成物
- 26…半導体層
- 26-1…チャネル領域
- 26-2…LDD領域
- 26-3…ソース領域
- 26-4…ドレイン領域
- 28…ゲート配線層
- 28a…第1層
- 28b…第2層
- 32…画素電極
- 33…ドレイン電極
- 34…ソース電極

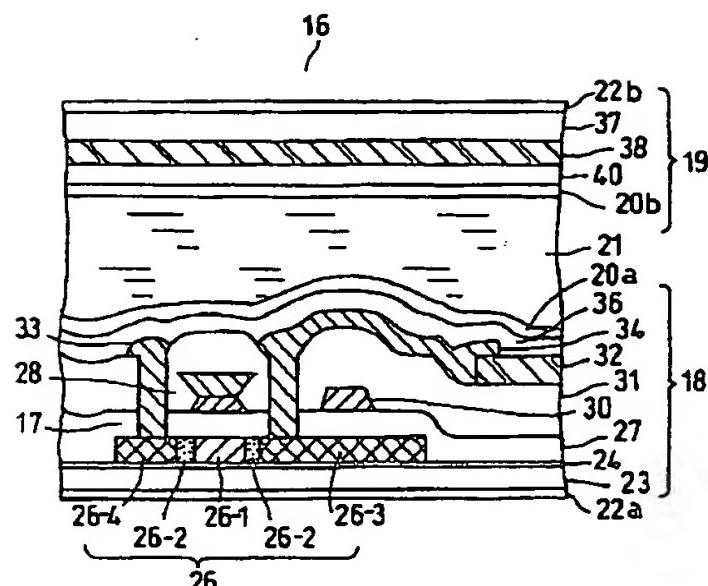
【図2】



【図4】

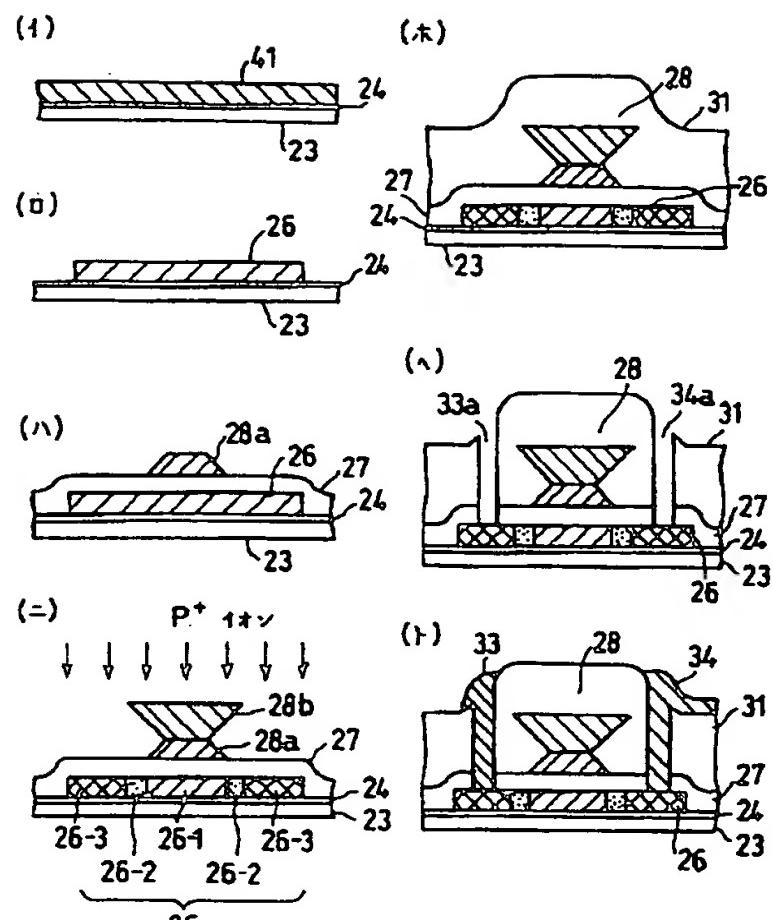


【四】

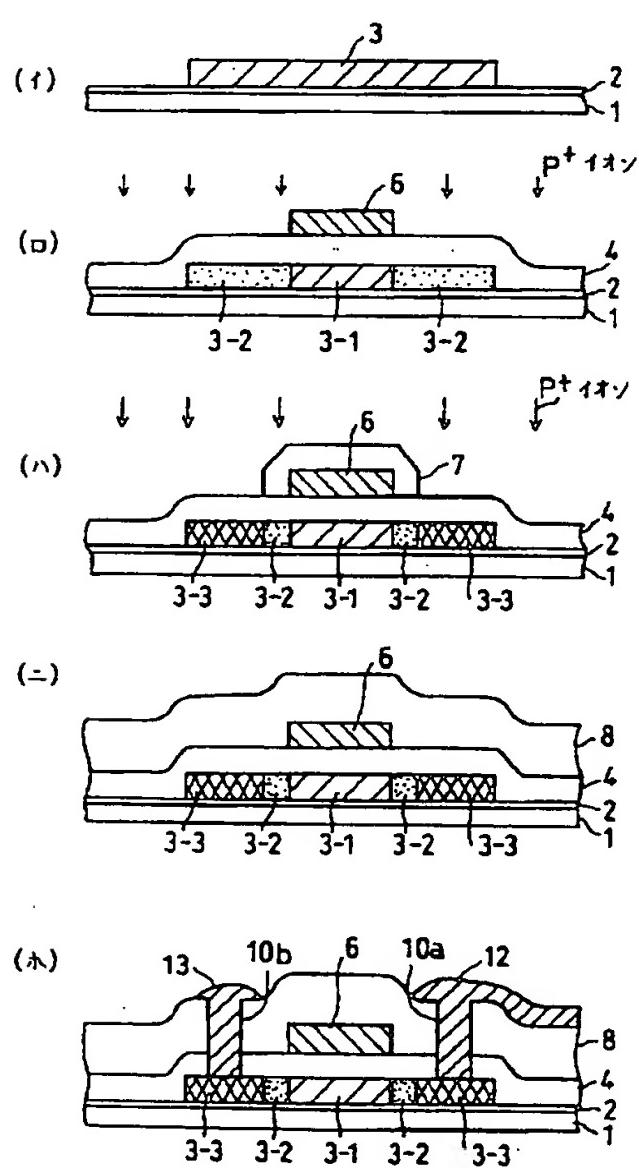


16: 液晶表示装置	<sup>26</sup> 17: TFT	18: アレイ基板
21: 液晶表示物	26: 半導体層	26-1: チャネル領域
26-2: LDD領域	26-3: ソース領域	26-4: フィン領域
28: ケータ配線層	32: 凹凸部	33: フィン基板

[图 3]



[☒ 5]



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

14664695

Basic Patent (No,Kind,Date): JP 10233511 A2 980902 <No. of Patents: 001>

THIN FILM TRANSISTOR DEVICE, ITS MANUFACTURE, AND LIQUID CRYSTAL  
DISPLAY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): SETO TOSHISUKE

IPC: \*H01L-029/786; G02F-001/136; H01L-029/41; H01L-021/336

CA Abstract No: \*129(19)253416R; 129(19)253416R

Derwent WPI Acc No: \*G 98-527346; G 98-527346

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
<b>JP 10233511</b>	A2	980902	JP 9737805	A	970221 (BASIC)

Priority Data (No,Kind,Date):

JP 9737805 A 970221

[Publication Number] **10-233511**

[Date of Publication of Application] September 2nd, 1998

[Application Number] **9-37805**

[Filing Date] February 21st, 1997

[Applicant]

[Identification Number] 000003078

[Name] Toshiba Corporation

[Address] 72 Horikawa-machi, Saiwai-ku, Kawasaki-shi,  
Kanagawa-ken

[Inventor]

[Name] Toshisuke SETO

[Address] Toshiba Fukaya Electronic Factory  
Toshiba corporation Fukaya factory, 1-9-2 Hatara-machi,  
Fukaya-shi, Saitama-ken

[Agent] Patent agent Norio, OKO (and another)

[Title of the Invention]

Thin Film Transistor, its Method of Manufacturing and Crystal Display Device

[Abstract]

[Problem]

In a top gate n-type TFT, by obtaining an LDD region with high precision easily, present invention aims to prevent decrease or a variation in TFT mobility, and further, variation in a threshold level to obtain TFT with high mobility and a stable characteristic. Moreover, present invention aims to enhance visual quality of a crystal display device and be applied to large sized crystal display devices.

[Means for Solving the Problem]

By using a gate wiring layer 28, in which a first layer 28a and a second layer 28b are formed into a forward tapered shape and an inverse tapered shape respectively, as a mask, by one time of ion doping process, an LDD region 26·2, a source region 26·3 and a drain region 26·4 are formed to obtain a TFT having a desired length in a self-aligning manner on a semiconductor layer 26.

[Scope of Claims]

[Claim 1]

A thin film transistor device characterized by having:

an insulating substrate;

a channel region composed of a polysilicon that is formed on the insulating substrate;

a source drain region formed by sandwiching said channel region in between through a low concentration impurity region and making said polysilicon low resistive;

a gate-wiring layer which is formed on said channel region through a gate insulating film, having two-layer structure in which a cross-section of channel region side first layer tapered forwardly and a cross section of surface side second layer tapered inversely; and

a source drain-wiring layer connected to said source drain region through an interlayer insulating film

[Claim 2]

The thin film transistor device described in Claim 1 characterized by using an alloy of molybdenum (Mo) for a gate-wiring layer

[Claim 3]

The thin film transistor described in either one of Claim 1 or 2 characterized by the value of  $c > a > b$  when a wiring line width of an interlayer with a gate insulating film in a first layer of a gate wiring line

layer is set to  $a \mu m$ , a wiring line width of an interlayer in first and second layers is set to  $b \mu m$ , and a wiring line width of an interlayer in top face of the second layer is set to  $c \mu m$

[Claim 4]

The thin film transistor device described in Claim 3 characterized by the value of  $0.2 \mu m \leq (c - a) \leq 2 \mu m$

[Claim 5]

A method of manufacturing a thin film transistor device characterized by having:

a step of forming a polysilicon and a gate insulating film on an insulating substrate;

a step of forming a first gate metal film on said gate insulating film;

a step of forming a second gate metal film on said first gate metal film;

a step of forming two-layer structure gate wiring line layer by processing a cross-section of said first gate metal film into a forward tapered shape and processing a cross-section of said second gate metal film into an inverse tapered shape; and

a step of forming a low concentration impurity region and a source drain region simultaneously by doping ion on said polysilicon layer using the gate wiring line layer as a mask

[Claim 6]

A method of manufacturing the thin film transistor device described in Claim 5 characterized by using an alloy of Molybdenum (Mo) for first and second gate metal films

[Claim 7]

A crystal display device characterized by having:

- a first insulating film;
- a pixel electrode arranged in matrix on said first insulating substrate;
- a channel region composed of a polysilicon formed in said first insulating film;
- a source drain region formed by sandwiching said channel region in between and making said polysilicon low resistive;
- a gate-wiring layer which is formed on said channel region through a gate insulating film, having two-layer structure in which a cross-section of channel region side first layer tapered forwardly and a cross section of surface side second layer tapered inversely; further,
- an array substrate having a source drain-wiring layer connected to said source drain region through an interlayer insulating film and a thin film transistor device driving said pixel electrode;
- a counter substrate which has a second insulating film and a counter electrode formed on a second insulating film, arranged opposing to the array substrate; and
- a crystalline composition of matter encapsulated between the array substrate and the counter substrate

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Pertains]

Present invention relates to a method of manufacturing a thin film transistor device of top gate type which has a gate wiring line layer above a semiconductor layer through a gate insulating film and a thin film transistor device, and also relates to an active matrix type crystal display device having a top gate type thin film transistor device as a driving element.

[0002]

[Prior Art]

A thin film transistor device (hereafter referred to as TFT) using polysilicon as a semiconductor material is used as a driving element of a pixel portion in an active matrix type crystal display device and a driving element of circuit portion because of the thin TFT's high mobility as tens to hundreds square centimeter. Then, as for an n-type polysilicon TFT of a top gate type generally used as a driving element, a decrease of a leakage current is reduced by providing a low concentration impurity region between a channel region and a drain region of high concentration impurity and by providing low concentration impurity (hereafter referred to as LDD) adding a trace of impurity so as to relieve the electric field applied between a source and a drain because leakage current is occurred when the TFT is off.

[0003]

So far, the TFT having thus LDD region has been manufactured in the manner shown in Fig. 5. That is, ① as Fig. 5 (a) shows, after forming an under coat film 2 composed of silicon oxide ( $\text{SiO}_2$ ) on a glass substrate 1 is formed, an amorphous silicon film is laminated, the amorphous silicon film is crystallized into a polysilicon film and patterned in matrix by a leaser annealing, and then a semiconductor layer 3 composed of a polysilicon is formed.

[0004]

② As Fig.5 (b) shows, gate wiring lines 4 and 6 are formed, and an LDD region 3-2 is formed by doping a phosphor ( $\text{P}^+$ ) ion with low dose.

[0005]

③ As Fig.5 (c) shows, a resist mask 7 is formed, a phosphor ( $\text{P}^+$ ) ion with high dose is doped, and a source drain region 3-3 of  $n^+$  is formed on a semiconductor layer 3.

[0006]

④ As Fig. 5 (d) shows, a mask 7 is removed and an interlayer insulating film 8 is formed.

[0007]

⑤ As Fig. 5 (e) shows, contact holes 10a and 10b formed, a source electrode 12 and drain electrode 13 are formed to complete a TFT 14 device having an LDD region.

[0008]

[Problem to be Solved by the Invention]

However, the existing TFT above forms an LDD region using a resist mask, so following problems has been occurred: a length of the LDD region can be controlled only in a range from 1 to  $5\mu\text{m}$  by a displacement in pattern when a resist mask is formed and a variation in an amount of side-etching; a subtle control in a range no more than  $1\mu\text{m}$  is impossible; variation in the length of the LDD region becomes longer; consequently; a variation in the TFT characteristic is occurred; and on the other hand, the LDD falls into a state of having serial resistance if the length of the LDD region becomes longer, that leads a decrease in a mobility; the pixel is partially visible in a crystal display device; a visual quality is remarkably decreased; and an application to especially a large type active matrix becomes impossible.

[0009]

Then, present invention removes the problems above, makes subtle control in the length of the LDD region possible and has a stable characteristic. Also, present invention aims to provide TFT device realize good visual quality even if it is in a large type active matrix crystal display device, and to provide a manufacturing method of the TFT device and the crystal display device.

[0010]

**[Means for Solving the Problem]**

Present invention provides an insulating substrate, a channel region comprise by a polysilicon, a source drain region formed by sandwiching the channel region in between through a low concentration impurity region and making said polysilicon low resistive, a gate-wiring layer which is formed on said channel region through a gate insulating film, having two-layer structure in which a cross-section of a channel region side first layer are tapered forwardly and a cross section of surface side second layer are tapered inversely, and a source drain-wiring layer connected to the source drain region through an interlayer insulating film and a source drain-wiring layer connected to the source drain region through an interlayer insulating film to solve the problems above.

[0011]

To solve the problems above, present invention implements steps of forming a polysilicon layer and a gate insulating film on an insulating substrate, forming a first gate metal film on said insulating substrate, forming a second gate metal film on the first gate metal film, forming two-layered structure gate wiring layer by processing the cross-section of said first gate metal film into forwardly tapered and by processing the cross-section of said second insulating film into inversely tapered and forming a low concentration region and a source drain region simultaneously after conducting ion doping in the polysilicon layer.

[0012]

Present invention provides a first insulating substrate, a pixel electrode arranged in matrix on the first insulating substrate, a channel region composed of a polysilicon formed on said first insulating substrate, a source drain region formed by sandwiching said channel region in between through a low concentration impurity region and making said polysilicon low resistive, a gate-wiring layer which is formed on said channel region through the gate insulating film, a gate-wiring layer formed to have two-structure layer in which the cross section of the channel region side first layer are tapered forwardly and the cross section of the surface side second layer are tapered inversely on said channel region through the gate insulating film, a source drain wiring layer connected to said source drain region through an interlayer insulating film,

an array substrate having a thin film transistor device driving the pixel electrode, a second insulating substrate, a counter substrate which has a second insulating film and a counter electrode formed on a second insulating film, arranged opposing to the array substrate and a crystalline composition of matter encapsulated between said array substrate and said counter substrate.

[0013]

By the structure above, the present invention makes it possible to obtain desired LDD length easily and to obtain a crystal display device with good visual quality without occurring the a decrease of TFT mobility and, at the same time, aims a stabilization in TFT characteristic.

[0014]

#### [Embodiment Mode of the Invention]

With the reference of Fig.1 to Fig. 3, embodiment modes of the present invention are to be described in the following. A number 16 denotes an active matrix crystal display device, and it has a crystalline composition of matter 21 and also polarizing plates 22a and 20b between an array substrate 18 and a counter substrate 19 through orientation films 20a and 20b. The array substrate has a top gate type TFT 17 containing a poly silicon semiconductor layer as a driving element.

[0015]

Here, on an undercoat layer 24 composed of a silicon oxide ( $\text{SiO}_2$ ) on a glass substrate 23 that is a first insulating substrate of the array substrate 18, a channel region 26·1 formed of a poly silicon, an LDD region 26·2 doped with low dose phosphor ( $\text{P}^+$ ) ion, source region 26·3 doped with high dose phosphor ( $\text{P}^+$ ) ion, an n type semiconductor layer 26 having a drain region 26·4 are patterned. In addition, on this semiconductor 26, though a gate insulating film 27, TFT 17 having a gate-wiring layer 28 comprised of two-layered structure Molybdenum –Tungsten alloy (hereafter referred to as MoW) is provided. The two-layered structure is composed of a cross section of a first layer 28a, a first gate metal film, which is forwardly tapered at an angle of  $30^\circ$  and a cross section of a second layer 28b, a second gate metal film, which is inversely tapered at an angle of  $30^\circ$ . Moreover, on a same surface with the gate wiring line layer 28, an auxiliary capacitor line 30 is formed.

[0016]

Further, though an interlayer insulating film 31, a pixel electrode 32 is formed, and a drain electrode 33 integrated with a signal line, a source electrode 34 connecting to the source region 26·3 and the pixel electrode 32 are formed on the interlayer insulating film 31. The drain electrode and the source electrode are respectively connected to the drain region 26·4,

the source region 26·3. Incidentally, a number 36 denotes a protective film.

[0017]

On the other hand, a counter substrate 19 has a counter electrode 38 and a protective film 40 in the whole area of a glass substrate, injects a crystalline composition of matter 21 between the counter substrate and the array substrate, and forms a crystal display device 16.

[0018]

A process of manufacturing the TFT 17 on the array substrate 18 will be given next.

[0019]

① As shown in Fig. 3 (a), on a glass substrate 23, the under coat layer 24 composed of a silicon oxide ( $\text{SiO}_2$ ) and an amorphous silicon film 41 are layered sequentially. By laser annealing, the amorphous silicon film 41 is crystallized into a poly silicon film.

[0020]

② As shown in Fig. 3 (b), a semiconductor layer 26 composed of a crystallized poly silicon is patterned in matrix.

[0021]

③ As shown in Fig. 3 (c), after a gate insulating film is formed to have thickness of 100nm, the first layer 28a of the gate wiring line layer 28, is formed to have a thickness of 50nm with MoW by sputtering and is exposed to an atmospheric air

[0022]

④ As shown in Fig. 3 (d), after the second layer 28b of the gate wiring line layer 28 is formed to have thickness of 35nm by sputtering, the first layer 28a is processed into forwardly tapered shape to have  $5\mu m$  in a wiring width a of an interface with the gate insulating film 27 and  $4.8\mu m$  in a wiring width b of an interface with the second insulting film 28b by an isotropic dry etching. The second layer 28b of the gate wiring line layer 28 processed into inversely tapered to have  $6.2\mu m$  in a wiring width c in a interface with the interlayer insulating film 31 so as to have a vale of  $c > a > b$ . In a region corresponded to the LDD region 26-2, the second layer 28b of the gate wiring line layer 28 is processed so as to obtain total thickness of the gate wiring line layer 28 comprised by the first layer 28a and the second layer 28b as 200nm or less. Then, using the gate

insulating wiring line 28 as a mask, the LDD region 26·2, the source region 26·3 and the drain region 26·4 of the semiconductor layer 26 are subjected to a phosphorous (P+) and ion doping simultaneously in a self-aligning manner at a same time under a self-activation condition that 50 KeV as an acceleration voltage and  $5E16/c\text{ m}^2$  as a carrier concentration .

[0023]

⑤ As shown in Fig. 3 (e), the interlayer insulating film 31 is formed.

[0024]

⑥ As shown in Fig. 3 (f), contact holes 33a and 34a are formed.

[0025]

⑦ As shown in Fig. 3 (g), a source electrode 31 and a drain electrode 32 are formed and complete a TFT 16.

[0026]

Therefore, as for the manufacturing process ④, in a region where a gate wiring line layer of MoW is processed to have a thickness of 200nm or less with a doping under an accelerating voltage of 50KeV, phosphorous (P+) ion is applied into the LDD region 26·2 of the semiconductor layer 26,

and by one time ion doping, the LDD region 26·2, the source region 26·3 and the drain region 26·4 are automatically formed because the ion that penetrate the gate wiring line layer 28.

[0027]

In measuring a hundred points of an in-plain variation in a mobility and a threshold voltage of the TFT 17 formed in such manufacturing process, a stable characteristic with a very high mobility and very small variation in a mobility and a threshold voltage, comparing to the wide variation in the mobility and a threshold of forgoing TFT, is obtained. existing TFT's mobility is 20 to 100c m<sup>2</sup>/Vs, and its threshold voltage is 1 to 6V, on the other hand, TFT 17' s mobility is 110 to 130c m<sup>2</sup>/Vs and its threshold voltage is 2 to 4V. Under TFT 17's conditions of a gate-source 0V bias and its drain-gate 20V bias, 90°C and 1000 seconds, a vicinity mobility and a threshold voltage are compared in a Bias Temperature Stress (hereafter abbreviated as BTS) test. In measuring a hundred points, a shift in mobility and a threshold voltage are not shown. Also, as for a crystal display device 16, a hidden portion is not shown and a display image with good quality is obtained.

[0028]

By structuring as this, forming the corresponding portion to the desired LDD region of the first layer 28a and the second layer 28b in the gate wiring line 28 into forwardly and inversely tapered respectively, conducting ion doping to the LDD region 26·2, the source region 26·3 and the drain region 26·4 simultaneously with one time of doping in a self-aligning manner without using a resist mask by decreasing the doping concentration of phosphorous (P+) ion at a tapered portion in a doping process, and decreasing the number of a process are possible. With this, compared to existing one, a LDD length can be controlled more precisely and obtained easily without producing a dispersion of an LDD length by a doubling gap of a resist mask, a dispersion of an amount of side etching of a gate wiring line layer, which previously occurred. In addition, the TFT 17 with high mobility, and a characteristic with small variation in mobility and a threshold voltage are obtained. Thus the crystal display device 16 using TFT with high mobility and a stable characteristic can obtain good visual display without a hidden portion in a display, and application to a large type active matrix crystal display device is possible.

[0029]

The LDD length can be controlled easier by setting the gate wiring line layer 28 to a two-layer structure and tapering the first layer 28a and the second layer 28b.

### [0030]

Present invention is not limited to the embodiment modes above, and if the theme is not changed, the change is possible. For instance, the angle of tapering is not limited, and controlling is possible in a range of 20 to 50° both in forward and inverse tapering from an experiment. In addition, a gap ( $c - a$ ) between a wiring line width  $a$  in an interface with a first gate insulating film layer of a gate wiring line layer and a wiring line width  $c$  in an interface with a second interlayer insulating film is determined arbitrary. However, if  $(c - a)$  becomes longer than  $2\mu m$ , TFT mobility becomes smaller, and the workability becomes worse. On the other hand, in a BTS test under conditions of 0V gate-source bias, 20v drain-source bias, 90°C and 10000 seconds,  $0.2\mu \leq (a - b) \leq 2\mu m$  is more preferable because shift of a threshold voltage is not occurred if  $(c - a)$  is  $0.2\mu m$  or more as Fig. 4 shows.

### [0031]

Although thickness of the first and second layers of the gate wiring line layer is in a range that is possible to block ion from penetrating into a channel region, the thickness is to be small as much as possible. However, it is determined in accordance with the value  $(c - a)$  set by TFT characteristic. For example, in the case of using MoW as a material for an electrode of a gate wiring line layer and forming by a dry etching employs fluorosis (F), it is preferable to set the thickness of the first layer

to 50nm and set the thickness of the second layer to 350nm to realize that value ( $c-a$ ) is  $1.2 \mu m$ , in etching under a condition of tapering angle as  $30^\circ$ . In general, the first layer is thinned down, and the LDD length becomes too short when the thickness gap between the first and the second layers is no more than 200nm. Since it is difficult to coat the inverse tapered portion when the thickness gap is 500nm and more, it is preferable to set the gap thickness to 200 to 500nm.

#### [0032]

Also, a self-activation conditions when ion doping is conducted to a semiconductor layer is arbitrary determined in a range that ion can penetrate through the tapered portion of the gate wiring line layer so as to the LDD region and the source drain region is formed simultaneously.

#### [0033]

##### [Effect of the Invention]

As described above, according to present invention, in the top gate type TFT, by tapering the first layer of the two-structure gate wiring line layer forwardly and tapering the second layer inversely, the LDD region and the source drain region can be simultaneously doped in a self-aligning manner on a semiconductor layer by one time of doping without using the resist mask, and consequently, the number of the manufacturing processes

can be reduced. In addition, without the variation in the LDD length are occurred, more precise control on the LDD length are possible, and the desired length and the TFT with stable characteristic are obtained easily without the decline and the variation in the mobility and the variation in the threshold voltage compared to the existing one. Further, like this manner, by using TFT with high mobility and stable characteristic as the driving element, good visual quality in a crystal display device can be obtained, and application to a larger type active matrix crystal display device is possible.

#### [Brief Description of the Drawings]

[Fig. 1] A cross-section drawing showing the crystal display device of the embodiment mode of present invention

[Fig.2] A cross-section drawing showing the TFT of the embodiment of present invention

[Fig.3] Drawings showing the manufacturing process of the TFT of embodiment of present invention: Fig. (a) showing a crystallization of its amorphous silicon film; Fig. (b) showing a patterning of a poly silicon film; Fig. (c) showing a formation of a first layer; Fig. (d) showing an ion doping that employs a gate wiring line layer after a tapering; Fig. (e) showing a formation of an interlayer insulating film; Fig. (f) showing a formation of a contact hole; Fig. (g) showing a formation of a source electrode and a drain electrode

[Fig.4] A graph showing an amount of shift of threshold voltage corresponding to the value (c-a) of a gate wiring line layer of a TFT by present invention

[Fig.5] A drawing showing a manufacturing process of existing TFT: (a) showing a patterning of its poly silicon film; (b) showing a formation of an LDD region; (c) showing a formation of a source drain region

[Description of the Codes]

- 16 A crystal display device
- 17 A TFT
- 18 An array substrate
- 19 A counter substrate
- 21 A crystalline composition of matter
- 26 A semiconductor layer
- 26·1 A channel region
- 26·2 An LDD region
- 26·3 A source region
- 26·4 A drain region
- 28 A gate-wiring line layer
- 28a A first layer

- 28b A second layer
- 32 A pixel electrode
- 33 A drain electrode
- 34 A source electrode